

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-055682

(43)Date of publication of application : 25.02.1997

(51)Int.Cl. H04B 1/58
H01P 1/15
H03H 11/02
H03K 17/693

(21)Application number : 07-227038 (71)Applicant : SONY CORP

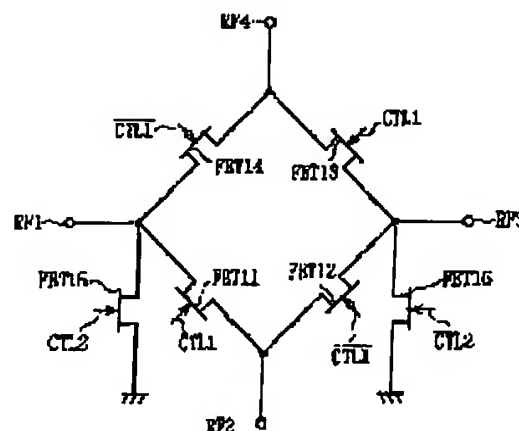
(22)Date of filing : 10.08.1995 (72)Inventor : KOHAMA KAZUMASA

(54) SWITCH SEMICONDUCTOR INTEGRATED CIRCUIT AND COMMUNICATION TERMINAL EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain equipment in which miniaturization and simplicity are attained and a low insertion loss characteristic and a high isolation characteristic are made compatible by providing 6-stages of FETs (semiconductor field effect transistors (TRs)) and four control wires.

SOLUTION: A switch is made up of four series FETs 11-14 each connecting to each of four signal lines connected in a ring and two shunt FETs 15, 16 each connecting to diagonal positions. A complementary bias voltage CTL1 and a reverse bias voltage ICTL1 are applied to gates of a couple of the FETs 11, 13 opposite to each other and gates of the FETs 12, 14. Furthermore, a complementary bias voltage CTL2 and a reverse bias voltage ICTL2 are applied to gates of the two shunt FETs 15, 16.



LEGAL STATUS

[Date of request for examination] 14.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-55682

(43) 公開日 平成9年(1997)2月25日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 1/58			H 0 4 B 1/58	
H 0 1 P 1/15			H 0 1 P 1/15	
H 0 3 H 11/02		8731-5 J	H 0 3 H 11/02	Z
H 0 3 K 17/693		9184-5 K	H 0 3 K 17/693	A

審査請求 未請求 請求項の数7 F D (全8頁)

(21) 出願番号 特願平7-227038

(22) 出願日 平成7年(1995)8月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 小浜 一正

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74) 代理人 弁理士 田辺 恵基

(54) 【発明の名称】 スイッチ半導体集積回路及び通信端末装置

(57) 【要約】

【課題】 低挿入損失と高アイソレーションを両立するスイッチの回路は大型になる。

【解決手段】 高周波信号用のスイッチをリング状に配置される第1～第4の信号経路にシリーズに接続される4つの電界効果トランジスタ段と、2つの信号線路を挟んで向き合う信号線路にシャントに接続された2つの電界効果トランジスタ段とによって構成する。このとき4つの信号線路のうち対向する位置にある信号線路に対してには同じ制御電圧を印加し、隣合う信号線路には互いに相補的な制御電圧を印加し、またシャントの位置にある電界効果トランジスタ段にはそれぞれ相補的な制御電圧を印加する。これにより信号線路に対してシャントの位置に接続される電界効果トランジスタ段の数及びこれらの制御に必要な制御線の数従来に比して削減できる。

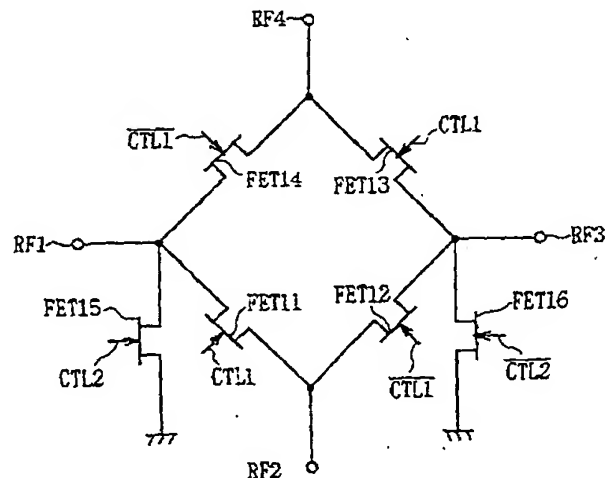


図2 シャントFETを4個備えた本発明によるリング型DPDTスイッチ回路

【特許請求の範囲】

【請求項 1】第 1 の信号端子と第 2 の信号端子とを連絡する第 1 の信号経路に対してシリーズに接続された第 1 の電界効果トランジスタ段と、

上記第 2 の信号端子と第 3 の信号端子とを連絡する第 2 の信号経路に対してシリーズに接続された第 2 の電界効果トランジスタ段と、

上記第 3 の信号端子と第 4 の信号端子とを連絡する第 3 の信号経路に対してシリーズに接続された第 3 の電界効果トランジスタ段と、

上記第 4 の信号端子と上記第 1 の信号端子とを連絡する第 4 の信号経路に対してシリーズに接続された第 4 の電界効果トランジスタ段と、

上記第 1 の信号端子と基準電位との間に接続された第 5 の電界効果トランジスタ段と、

上記第 3 の信号端子と上記基準電位との間に接続された第 6 の電界効果トランジスタ段と、

第 1 の制御電圧を上記第 1 及び第 3 の電界効果トランジスタ段の制御端子に印加する第 1 の制御線と、

上記第 1 の制御電圧に対して相補的な制御電圧を上記第 2 及び第 4 の電界効果トランジスタ段の制御端子に印加する第 2 の制御線と、

第 2 の制御電圧を上記第 5 の電界効果トランジスタ段の制御端子に印加する第 3 の制御線と、

上記第 2 の制御電圧に対して相補的な制御電圧を上記第 6 の電界効果トランジスタ段の制御端子に印加する第 4 の制御線とを具えることを特徴とするスイッチ半導体集積回路。

【請求項 2】上記第 5 及び第 6 の電界効果トランジスタ段と上記電源線とはそれぞれ、第 1 及び第 2 の容量によつて上記電源線に対して直流的に分離されていることを特徴とする請求項 1 に記載のスイッチ半導体集積回路。

【請求項 3】上記第 1 及び第 3 の電界効果トランジスタ段の制御端子と上記第 1 の制御線との間、及び上記第 2 及び第 4 の電界効果トランジスタ段の制御端子と上記第 2 の制御線との間にはそれぞれ高インピーダンス素子が接続されていることを特徴とする請求項 1 に記載のスイッチ半導体集積回路。

【請求項 4】上記電界効果トランジスタ段は、複数の電界効果トランジスタを直列接続してなる直列回路であることを特徴とする請求項 1 に記載のスイッチ半導体集積回路。

【請求項 5】上記電界効果トランジスタ段を構成する電界効果トランジスタはそれぞれ、マルチゲート電界効果トランジスタであることを特徴とする請求項 1 に記載のスイッチ半導体集積回路。

【請求項 6】上記電界効果トランジスタ段を構成する電界効果トランジスタはそれぞれ、ガリウムヒ素接合型電界効果トランジスタであることを特徴とする請求項 1 に記載のスイッチ半導体集積回路。

【請求項 7】第 1 の信号端子と第 2 の信号端子とを連絡する第 1 の信号経路に対してシリーズに接続された第 1 の電界効果トランジスタ段と、上記第 2 の信号端子と第 3 の信号端子とを連絡する第 2 の信号経路に対してシリーズに接続された第 2 の電界効果トランジスタ段と、上記第 3 の信号端子と第 4 の信号端子とを連絡する第 3 の信号経路に対してシリーズに接続された第 3 の電界効果トランジスタ段と、上記第 4 の信号端子と上記第 1 の信号端子とを連絡する第 4 の信号経路に対してシリーズに接続された第 4 の電界効果トランジスタ段と、上記第 1 の信号端子と基準電位との間に接続された第 5 の電界効果トランジスタ段と、上記第 3 の信号端子と上記基準電位との間に接続された第 6 の電界効果トランジスタ段と、第 1 の制御電圧を上記第 1 及び第 3 の電界効果トランジスタ段の制御端子に印加する第 1 の制御線と、上記第 1 の制御電圧に対して相補的な制御電圧を上記第 2 及び第 4 の電界効果トランジスタ段の制御端子に印加する第 2 の制御線と、第 2 の制御電圧を上記第 5 の電界効果トランジスタ段の制御端子に印加する第 3 の制御線と、上記第 2 の制御電圧に対して相補的な制御電圧を上記第 6 の電界効果トランジスタ段の制御端子に印加する第 4 の制御線とを有するスイッチ半導体集積回路と、上記第 1 及び第 3 の信号端子に電気的に接続された第 1 及び第 2 のアンテナと、

上記第 2 の信号端子に接続され、上記第 1 又は第 2 のアンテナにおいて受信された高周波信号を入力する受信部と、

上記第 4 の信号端子に接続され、高周波信号を上記第 1 又は第 2 のアンテナに出力する送信部とを具えることを特徴とする通信端末装置。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

(1) 基本回路構成

(2) 実装回路例

(3) 他の実施例

発明の効果

【0002】

【発明の属する技術分野】本発明はスイッチ半導体集積回路及び通信端末装置に関する。特に低挿入損失かつ高アイソレーションが要求される 2 入力 2 出力型のスイッチ回路及びこれを用いた通信端末装置に好適なものである。

【0003】

【従来の技術】今日、自動車電話や携帯電話等を始めと

する移動体通信ビジネスの発展はめざましく、これに伴い都市部における通信回線の不足が深刻化しつつある。また昨今では世界各国において様々な移動体通信システムの運用が開始され始めているが、これら移動体通信システムの多くには従来のアナログ通信方式に替えてデジタル通信方式の採用が進められており、また通信帯域としても現システムよりも周波帯域の高い準マイクロ波帯域の採用が進められている。

【0004】一方、これら準マイクロ波を通信帯域として使用する移動体通信システムでは、多くの携帯端末の信号処理部に半導体電界効果トランジスタ(FET)の使用が進められている。特に携帯性が重要視される携帯端末の場合、小型化と、低電圧駆動化と、低消費電力化とを同時に実現できる半導体集積回路素子としてGaAs-FETを使用したモノリシック・マイクロウェーブIC(以下、MMIC(Monolithic Microwave IC))という)が盛んに開発されている。中でも携帯端末内で高周波信号を切り替える高周波スイッチの開発がマイクロ波信号処理デバイスのうちで最も開発が急がれるデバイスの1つとなつてきている。

【0005】さてFETをスイッチングデバイスとして使用するには、そのゲート端子に印加するバイアス電圧を制御する必要がある。例えばゲート端子にピンチオフ電圧より十分高いゲートバイアスを印加してドレインソース間を低インピーダンス化することによりFETをオン状態に制御し、逆にゲート端子にピンチオフ電圧より十分低いゲートバイアスを印加してドレインソース間を高インピーダンス化することによりFETをオフ状態に制御するといった具合である。

【0006】さて現在市販されているGaAs-FETをスイッチ用FETとして使用する場合は、その等価回路はオン状態のときドレインソース間を抵抗成分 R_{on} と近似でき、オフ状態のときドレインソース間を容量成分 C_{off} と近似することができる。因にFETの抵抗値及び容量値はそれぞれ、FETの単位ゲート幅 W_g 当たり数 $[Qmm]$ 及び数百 $[f/mm]$ 程度である。例えばオン抵抗 $R_{on}=2[Qmm]$ 、容量成分 $C_{off}=300[f/mm]$ となる。

【0007】さて上述の特性を有するゲート幅 W_g が $1[mm]$ 程度のFETを用いてFETスイッチを構成すると、 $2[GHz]$ の信号帯域に対するオン状態での損失は $0.2[dB]$ 程度となり、オフ状態でのドレインソース間のアイソレーションは $10[dB]$ 以下となる。これらの値からFETを単独で用いる場合、挿入損失は小さくて済むがアイソレーションは余り高くできないことが分かる。このため準マイクロ波帯以上の周波数では、信号経路に対してシリーズの位置とシヤントの位置とのそれぞれにFETを接続してスイッチ回路を構成することにより高アイソレーションと低挿入損失を両立させる方法が採られている。

【0008】このスイッチ回路の例としては、信号経路に対してシリーズFET1個とシヤントFET1個とを組合わせてなるSPDT(Single Pole Dual Throw)スイッチがある。因にこの構成のスイッチ回路の場合、 $1.9[GHz]$ における挿入損失特性として $0.55[dB] \sim 0.94[dB]$ を実現でき、またアイソレーション特性として $23 \sim 31[dB]$ を実現できる。このように高アイソレーションが得られるのは、オフ状態のシリーズFETより容量成分 C_{off} を介して漏れてくるRF信号をオン状態にあるシヤントFETがGNDに引き込むことができるためである。

【0009】なお前述したようにシリーズFETのみで高アイソレーションを実現しようとするFETのゲート幅を小さくする必要があるが、このようにするとFETのオン抵抗 R_{on} が増加するため反対に挿入損失が悪化するのを避けられず両立は難しい。またシヤントFETのみでスイッチ回路を構成することも考えられるが、このようにすると低周波域のアイソレーションが十分でなくなる問題がある。

【0010】

【発明が解決しようとする課題】このように低挿入損失と高アイソレーションとを両立できるSPDTスイッチ回路が現在実用化されているが、携帯端末は歩行中に用いられるだけでなく、自動車内で用いられることも多い。このように高速で移動する車両内で使用する場合は、携帯端末に付属しているアンテナだけでは十分な感度を得ることができないため多くの場合には車外に取り付けられた外部アンテナが併用されている。

【0011】この場合、TDMA(Time Division Multiple Access)通信方式を用いるデジタル携帯端末では、付属アンテナと外部アンテナとの切り替え及び携帯端末に内蔵されている送信部と受信部との切り替えにDPDT(Dual Pole Dual Throw)スイッチを用いることが多い。

【0012】このDPDTスイッチを用いた携帯端末のRF信号処理ブロックの構成例を図7に示す。因にDPDTスイッチは前述したSPDTスイッチSW1及びSW2の2つで構成されており、2つのスイッチSW1及びSW2のうちアンテナ側に位置するSPDTスイッチSW1の2出力端は第1及び第2のアンテナ1及び2に接続され、RF信号処理回路側に位置するSPDTスイッチSW2の2出力端には送信部3及び受信部4がそれぞれ接続されるようになされている。

【0013】ところがこのように2つのSPDTスイッチを用いてDPDTスイッチを構成すると、挿入損失がSPDTスイッチを単独で使用する場合に比して2倍になる問題があり、この挿入損失のためにRF信号出力用のパワーアンプの出力損失が大きくなるおそれがある。

このため損失分を補償できるだけの出力をパワーアンプから余分に出力させる必要があつた。因に携帯端末では

5

長時間の使用に耐えるために内部デバイスの消費電力を抑えることが重要となるが、一般に携帯端末内における消費電力の大部分をパワーアンプが占めている。

【0014】従って前述したSPDPTスイッチの低挿入損失化は非常に重要な課題である。例えば1.5[dB]の損失を0.5[dB]に抑えることができれば、それだけでパワーアンプの出力を約20[%]も節約することができる。このように携帯端末の使用時間を延長させるためにはスイッチ回路の低挿入損失化を避けることはできない。この課題を解決するスイッチ回路として、図8に示すリング型のDPDPTスイッチを用いる方法が考えられる。

【0015】この構成のDPDPTスイッチを用いると、第1及び第2のアンテナ1及び2に接続される入出力端子RF1及びRF3と、送信部3及び受信部4に接続される入出力端子RF2及びRF4との間に接続されるシリーズFETの数を常に1つにできるため図9に示すように挿入損失を低下させることができる。しかもこれら4つの入出力端子RF1～RF4にはシャントFET15～FET18がそれぞれ接続されているため十分なアイソレーション特性も期待できる。

【0016】しかしながらこの構成を採用するには、各シャントFETのゲートに印加する制御電圧を独立に制御するためだけに4系統の制御端子が必要となり、シリーズFETのバイアス制御用も含めると最大8系統の制御端子が必要になるおそれがあった。このためICパッケージ全体で見るとピン数の増加及びパッケージサイズの大小型化につながる等の問題があり、装置の小型化が要求される携帯端末には不適合であった。

【0017】本発明は以上の点を考慮してなされたもので、従来に比して構成及び制御系統が小型化又は簡略化でき、かつ低挿入損失特性と高アイソレーション特性とを両立することができるスイッチ半導体集積回路を提案しようとするものである。またこのようなスイッチ半導体集積回路を用いた通信端末装置を提案しようとするものである。

【0018】

【課題を解決するための手段】かかる課題を解決するため本発明のスイッチ半導体集積回路においては、リング形状に配置される第1～第4の信号経路のうち、第1及び第4の信号経路の接続中点に当たる第1の信号端子と、第2及び第3の信号経路の接続中点に当たる第3の信号端子とのそれぞれに各信号線路に対してシャントの位置関係にある第5及び第6の電界効果トランジスタ段を接続するようにする。また第1～第4の信号経路のうち互いに向かい合う信号線路にシリーズに接続された電界効果トランジスタ段に同じ制御電圧を与えるものとし、このとき隣合う信号線路に互いに相補的な制御電圧を印加するようにする。例えば第1の信号経路をオン状態に制御する場合、第1、第3及び第6の電界効果ト

6

ンジスタ段を第1の制御電圧及び第2の制御電圧に対して相補的な制御電圧によってオン状態とし、第2、第4、第5の電界効果トランジスタ段を第1の制御電圧に対して相補的な制御電圧及び第2の制御電圧によってオフ状態とする。また第2の信号経路をオン状態に制御する場合、第2、第4及び第5の電界効果トランジスタ段を第1の制御電圧に対して相補的な制御電圧及び第2の制御電圧によってオン状態とし、第1、第3、第6の電界効果トランジスタ段を第1の制御電圧及び第2の制御電圧に対して相補的な制御電圧によってオフ状態とする。同様に第3の信号経路をオン状態に制御する場合、第1、第3及び第5の電界効果トランジスタ段を第1及び第2の制御電圧によってオン状態とし、第2、第4、第6の電界効果トランジスタ段をそれぞれ第1及び第2の制御電圧に対して相補的な制御電圧によってオフ状態とする。同様に第4の信号経路をオン状態に制御する場合、第2、第4及び第6の電界効果トランジスタ段をそれぞれ第1及び第2の制御電圧に対して相補的な制御電圧によってオン状態とし、第1、第3、第5の電界効果トランジスタ段をそれぞれ第1及び第2の制御電圧によってオフ状態とする。

【0019】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0020】(1)基本回路構成

この実施例では本発明に係るスイッチ回路を用いた装置例として通信端末装置について説明する。図にこの実施例における通信端末装置は通信帯域として準マイクロ波帯を用いるものとし、通信方式としてTDMA方式を用いるものとする。図1にTDMA方式で通信を行う通信端末装置のうちRF信号処理部分を示す。通信端末装置11は信号線路がリング形状に形成されてなるDPDPTスイッチ12をアンテナスイッチとして有し、当該DPDPTスイッチ12によって2つのアンテナ1及び2と送信部3及び受信部4との接続を切り換えるようになっている。

【0021】ここでDPDPTスイッチ12を構成するスイッチの数は、アンテナ1が接続される入出力端子RF1と送信部3が接続される入出力端子RF4との間を連絡する信号線路上に1つ、アンテナ1が接続される入出力端子RF1と受信部4の接続される入出力端子RF2との間を連絡する信号線路上に1つ、アンテナ2が接続される入出力端子RF3と送信部3の接続される入出力端子RF4との間を連絡する信号線路上に1つ、アンテナ2が接続される入出力端子RF3と受信部4の接続される入出力端子RF2との間を連絡する信号線路上に1つの計4つであり、RF信号はどの経路を通過する場合にも1個のスイッチしか通過しなくて済むため挿入損失が小さく済むようになっている。

【0022】続いてDPDPTスイッチ12の具体的な回

7

路構成を図2に示す。なお各FETはいずれもシングルゲートGaAs-JFETであるものとする。DPDTスイッチ12はリング状に配置された4つの信号線路のそれぞれに1つ接続された4つのシリーズFET11~14と、対角位置に配置された2つのシヤントFET15及び16とによって構成されている。このDPDTスイッチ12の特徴は図8に示すような同型のDPDTスイッチに比してシヤントFETの数が半分の2個で良い点及び2組の相補的な制御バイアスによってシリーズFET及びシヤントFETをオン又はオフ制御できる点である。

【0023】このため本発明に係るDPDTスイッチ12は、4つのシリーズFET11~FET14のうち互いに対向する位置にある一対のFET11及びFET13のゲートとFET12及びFET14のゲートに相補的な制御バイアス電圧CTL1及びI(Inverse)CTL1を印加している。また2つのシヤントFET15及びFET16のゲートに相補的な制御バイアス電圧CTL2及びI(Inverse)CTL2を印加している。

【0024】以上の構成において、通信端末装置の送受信動作を説明する。因にこの実施例に示すDPDTスイッチ12はTDMA方式において送信動作と受信動作が同時に実行されないことを利用して制御バイアス電圧CTL1及びCTL2を切り替え制御している。これら制御バイアス電圧CTL1及びCTL2に基づくDPDTスイッチ回路の動作状態を図3に示す。

【0025】まず入出力端子RF1~RF2間をオン状態として第1のアンテナ1からRF信号を受信する場合について述べる。このとき第1の制御バイアス電圧CTL1を「H」レベルに立ち上げる一方、これと対をなす制御バイアス電圧I(Inverse)CTL1を「L」レベルに立ち下げる。またこのとき第2の制御バイアス電圧CTL2を「L」レベルに立ち上げる一方、これと対をなす制御バイアス電圧I(Inverse)CTL2を「H」レベルに立ち下げる。

【0026】このときシリーズFET11がオン、シリーズFET12、シリーズFET14及びシリーズFET15がオフとなり、アンテナ1と受信部4とを結ぶ信号経路RF1~RF2間が低挿入損失になる。これにより通信端末装置11はアンテナ1で受信されたRF信号を挿入損失の低下した信号経路RF1~RF2を介して受信部4に与えることができる。

【0027】因に第2のアンテナ2で受信されたRF信号は、信号経路RF2~RF3間に挿入されているシリーズFET12がオフ状態であり、かつシヤントFET16がオン状態にあるのでシヤントFET16を介してグラウンドに引き込まれ、受信部4へは伝わらないようになされている。このように信号経路RF2~RF3間のアイソレーションは十分である。なお信号経路RF4~RF1間についてはオフ状態のシリーズFET14が接

8

続されているだけであり、オン状態のシヤントFETは存在しない。従つてこのままでは信号経路RF4~RF1について十分なアイソレーションが得られないと考えられる。

【0028】ところが前述したようにDPDTスイッチ12の場合、TDMA方式の特性を利用して信号経路RF4~RF3に挿入されたシリーズFET13がオン状態になっている。従つてこのシリーズFET13を介して信号経路RF1~RF4間にあるオフ状態のシリーズFET14にオン状態のシヤントFET16が接続された状態と等価になり、十分なアイソレーションを実現することができる。図4にこのDPDTスイッチ12の挿入損失及びアイソレーション特性を示す。この図4より実施例に示すDPDTスイッチ12はシヤントFETの数が図8に示す従来型のDPDTスイッチの半分であるにも係わらず同等の特性が得られることが分かる。因に図4はシリーズFETのゲート幅を0.8[mm]とし、シヤントFETのゲート幅を0.15[mm]としたときに得られる特性である。

【0029】同様に、信号経路RF2~RF3間をオン状態にして第2のアンテナ2で受信された電波を受信部4で受信したい場合には、第1の制御バイアス電圧CTL1を「L」レベルに立ち下げる一方、これと対をなす制御バイアス電圧I(Inverse)CTL1を「H」レベルに立ち上げる。またこのとき第2の制御バイアス電圧CTL2を「H」レベルに立ち上げる一方、これと対をなす制御バイアス電圧I(Inverse)CTL2を「L」レベルに立ち下げれば良い。このようにすれば第2のアンテナ2で受信された電波を感度良く受信することができる。なお信号経路RF3~RF4間をオン状態にする又は信号経路RF4~RF1間をオン状態にする送信時の動作も同様である。

【0030】以上の構成によれば、TDMA通信方式に着目して、互いに向かい合う2組のシリーズFET11及びFET13と、シリーズFET12及びFET14とにそれぞれ同じ制御バイアス電圧を印加することとし、その際、互いに隣接する組のシリーズFETにはそのゲートに印加される制御バイアス電圧を相補的に制御し、またシヤントFETをそれぞれ相補的な制御バイアス電圧で制御するようにしたことにより、低挿入損失と高アイソレーションとを同時に実現できる小型DPDTスイッチ12を実現することができる。また4系統の制御線と2組の相補的な制御バイアス電圧といった最小の構成でDPDTスイッチをスイッチング制御できるため、従来に比してICパッケージが小型かつ端子数の少ないDPDTスイッチを実現することができる。

【0031】(2)実装回路例

続いて図5に、各信号経路RF1~RF2、RF2~RF3、RF3~RF4、RF4~RF1に接続されるシリーズFET及び入出力端子RF1及びRF3に接続さ

れるシヤントFETをそれぞれ3段構成とした場合の実施例を説明する。この図5に示すDPDTスイッチの基本構成は図2に示すDPDTスイッチの構成と同じであり、各信号線路に接続されるFETの段数を除いて同様の構成を有している。なおこの実施例の場合、各FETのゲートにはバイアス供給用を高インピーダンス素子である抵抗 R_1 を接続している。

【0032】さてこの図5に示すDPDTスイッチ22について得られる挿入損失とアイソレーション特性を図6に示す。なお図6はシリーズFET11A~11C、FET12A~12C、FET13A~13C、FET14A~14Cとしてそのゲート幅が図2で説明したFETのゲート幅に対して3倍の2.4[mm]のものを用い、シヤントFET15A~15C、FET16A~16Cとしてそのゲート幅が図2で説明したFETのゲート幅に対して約5倍の0.8[mm]のものを用いるものとする。

【0033】そしてDPDTスイッチを小型プラスチックモールドパッケージに実装した際に得られる挿入損失とアイソレーション特性との測定結果を表したのが図6である。図6より2[GHz]帯における挿入損失が0.6[dB]以下と低く、アイソレーション特性が25[dB]以上と高いことが分かる。このようにTDMA通信方式に着目し、最小限のFETの構成と制御方法でDPDTスイッチ回路を形成してシヤントFETの個数を減らしたことにより、コストの削減と制御端子の減少とを同時に実現できるスイッチ半導体集積回路を実現できる。かくしてICパッケージの小さいスイッチ半導体集積回路を得ることができる。

【0034】(3) 他の実施例

なお上述の実施例においては、FETとしてシングルゲートFETを用いる場合について述べたが、本発明はこれに限らず、マルチゲートFETを用いる場合にも適用し得る。また上述の実施例においては、FETとして接合型FETを用いる場合について述べたが、本発明はこれに限らず、他の構造のFETを用いる場合に広く適用し得る。

【0035】さらに上述の実施例においては、シヤントFETのドレイン又はソースをグランドに直接接続する場合について述べたが、本発明はこれに限らず、シヤントFETのドレイン又はソースとグランド間に直流分をカットする容量を設ける場合にも適用し得る。このように直流分をカットする容量を用いれば、シヤントFETのドレイン又はソースに印加されるバイアス電圧を任意の値に設定することができる。

【0036】例えばドレイン又はソースを適当な正の電圧に設定することができれば、各FETのゲートに印加する制御バイアス電圧CTL1及びCTL2を正電圧の

みとしてもソース及びドレインに対するゲート電位を相対的に負電位に設定することもでき、全体として正電源だけでスイッチング動作させることができるDPDTスイッチを実現することができる。

【0037】また上述の実施例においては、ICパッケージとしてプラスチックパッケージを用いる場合について述べたが、本発明はこれに限らず、他の材質のパッケージを用いても良い。さらに上述の実施例においては、本発明に係るDPDTスイッチを実装する装置例として通信端末装置について述べたが、本発明はこれに限らず、他の電子機器に実装する場合にも広く適用し得る。

【0038】

【発明の効果】上述のように本発明によれば、リング状に配置される4つの信号線路に4つの電界効果トランジスタ段をシリーズに接続すると共に、2つの信号線路を挟んだ対向する位置に信号線路に対してシヤントの位置となる2つの電界効果トランジスタ段を接続して高周波用のスイッチを構成し、これら4つの信号線路のうち対向する位置の信号線路に対して同じ制御電圧を印加し、かつ隣合う信号線路に対して互いに相補的な制御電圧を印加することにより、信号線路に対してシヤントの位置に接続される電界効果トランジスタ段の数及びスイッチの制御に必要な制御線の本数を従来に比して削減することができる回路規模の小さいスイッチ半導体集積回路を実現できる。

【図面の簡単な説明】

【図1】本発明に係るスイッチ半導体集積回路を実装した装置例の説明に供する略線図である。

【図2】DPDTスイッチの基本構成を示す接続図である。

【図3】図2に示すDPDTスイッチの動作説明に供する図表である。

【図4】図2に示すDPDTスイッチの挿入損失及びアイソレーション特性を示す特性曲線図である。

【図5】実装時に用いられるDPDTスイッチの回路例を示す接続図である。

【図6】図5に示すDPDTスイッチの挿入損失及びアイソレーション特性を示す特性曲線図である。

【図7】SPDTスイッチを2個用いた2アンテナ式の携帯端末の信号処理部を示す接続図である。

【図8】シヤントFETを4個用いる従来型のDPDTスイッチの構成を示す接続図である。

【図9】図8に示すDPDTスイッチの挿入損失及びアイソレーション特性を示す特性曲線図である。

【符号の説明】

1、2……アンテナ、3……送信部、4……受信部、11……通信端末装置、12、22……DPDTスイッチ。

【図1】

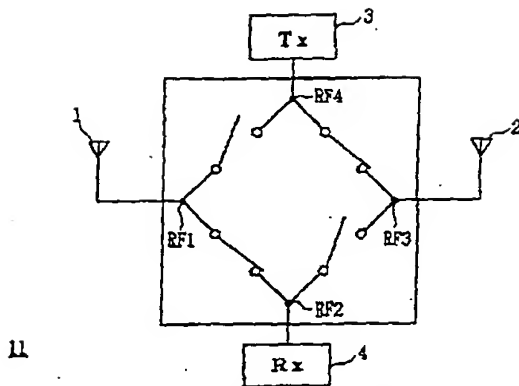


図1 リング型DPDTスイッチ回路を用いた2アンテナ式の携帯端末のRF部

【図2】

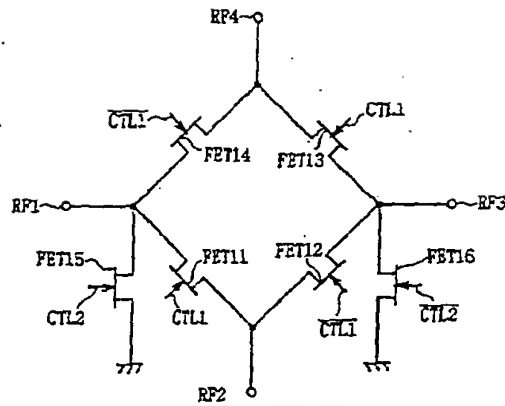


図2 シヤントFETを4個備えた本発明によるリング型DPDTスイッチ回路

【図3】

ON Port	CTL1	CTL1	CTL2	CTL2
RF1-RF2	High	Low	Low	High
RF2-RF3	Low	High	High	Low
RF3-RF4	High	Low	High	Low
RF4-RF1	Low	High	Low	High

図3 図2のDPDTスイッチ回路の動作真理表

【図4】

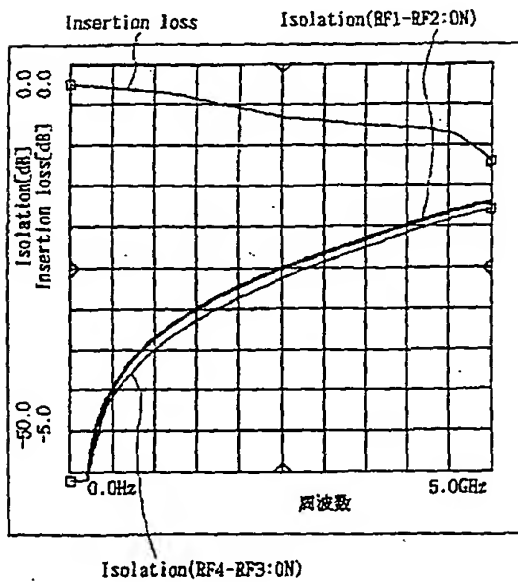


図4 DPDTスイッチ回路(図2)の挿入損失及びアイソレーション特性(RF1-RF4間)

【図5】

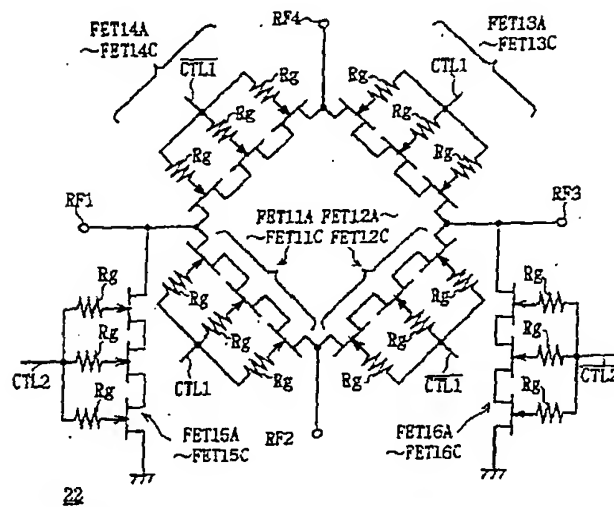


図5 GaAs-JFETを3段接続に構成したDPDTスイッチ回路

【図7】

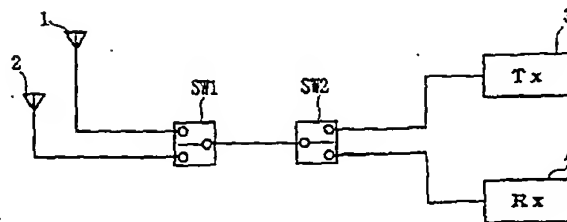


図7 SPDTスイッチを2個を用いた2アンテナ式の携帯端末

【図6】

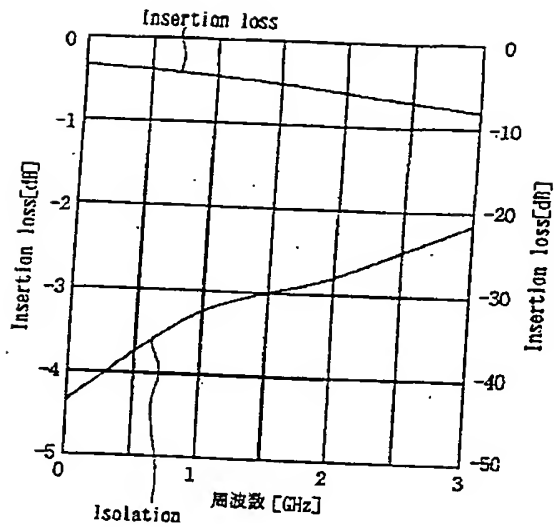


図6 DPDTスイッチ回路(図5)の挿入損失及びアイソレーション特性

【図9】

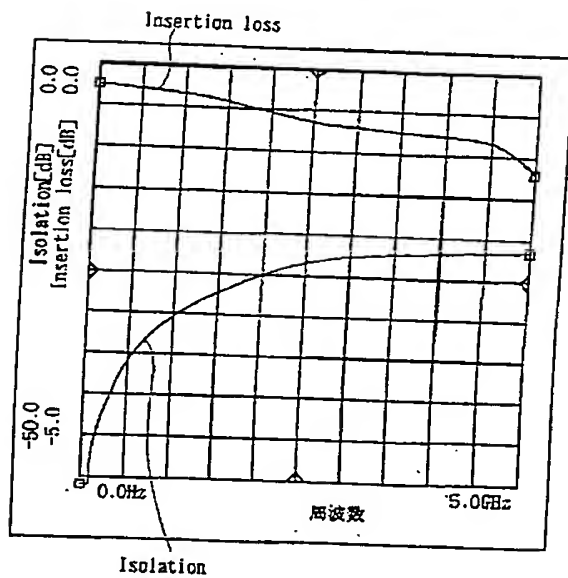


図9 従来のスイッチ回路(図8)の挿入損失及びアイソレーション特性

【図8】

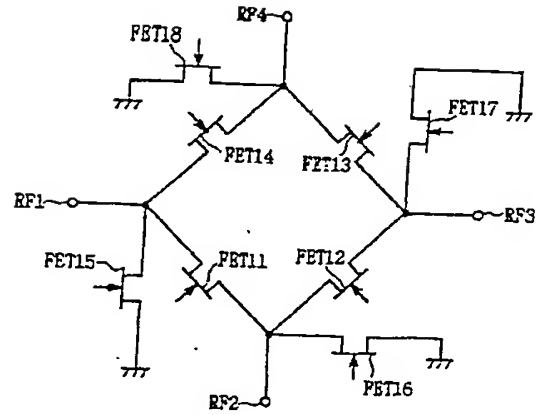


図8 シヤントFETを4個箱えたリング型DPDTスイッチ回路